

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09293837 A**

(43) Date of publication of application: **11.11.97**

(51) Int. Cl.
H01L 27/10
H01L 27/10
H01L 23/28
H01L 27/108
H01L 21/8242

(21) Application number: **08106842**

(22) Date of filing: **26.04.96**

(71) Applicant: **HITACHI LTD**

(72) Inventor:
KUMAZAWA TETSUO
MIURA HIDEO
KITANO MAKOTO

(54) SEMICONDUCTOR DEVICE

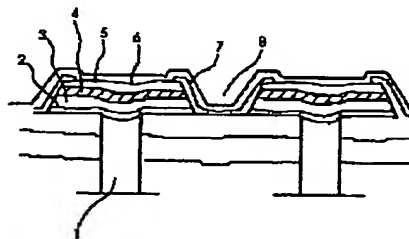
(57) Abstract:

PROBLEM TO BE SOLVED: To enable free expansion/contraction inside and outside the plane without having any constraint on deformation, by forming a groove around a cell, providing a structure holding the groove without filling the groove, and providing a structure holding the groove shape without filling the groove even when a protective film is attached to an upper part of the groove and the cell.

SOLUTION: A wiring led out of a transistor on a silicon wafer is connected to a lower electrode 3 of a dielectric cell through a contact hole 1. A thin film layer 2 of a barrier metal layer is formed, and a thin film 4 is formed by stacking PZT (lead titanate zirconate) on the electrode 3. An upper electrode 5 is formed thereon. A conductive metal thin film 6 is applied on the electrode 5. The metal, thin film 6 is connected to electrodes of a number of cells arranged in parallel. With this structure, the cells are connected via the metal layer 6, thus having an electrically equal potential. Then, a space of a groove 8 is formed between the cells. When a cell voltage is applied, the groove space prevents any constraint on deformation, thus

enabling free expansion/contraction inside and outside the plane.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-293837

(43)公開日 平成9年(1997)11月11日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	3 0 1		H 0 1 L 27/10	3 0 1
	4 5 1			4 5 1
23/28			23/28	Z
27/108			27/10	6 5 1
21/8242				

審査請求 未請求 請求項の数 7 O L (全 5 頁)

(21)出願番号 特願平8-106842

(22)出願日 平成8年(1996)4月26日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 熊沢 鉄雄

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 三浦 英生

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72)発明者 北野 誠

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(74)代理人 弁理士 小川 勝男

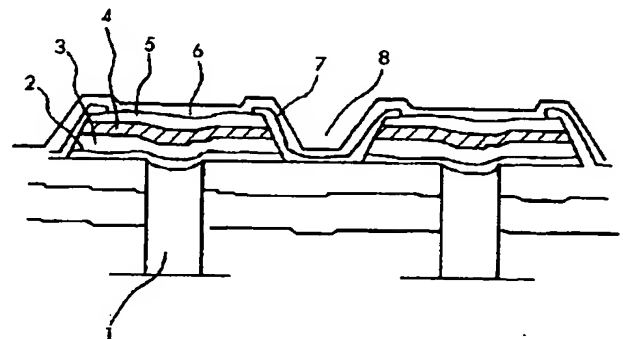
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】樹脂モールドを行ってもセルを拘束せずに変形をさせ、メモリ動作を確保する。

【解決手段】シリコンウエハ上に誘電体薄膜を形成して多数のキャパシタセルを形作り、薄膜下部から一方の電極、上部から他方の電極を取り出す素子構造において、セルの回りに溝を形成し、上記溝を埋めないで保持した構造、上記溝と上記セルの上部に保護膜を付けた状態でも上記溝が充填されないで溝形状を保持した。

図 1



【特許請求の範囲】

【請求項1】シリコンウエハ上に誘電体薄膜を形成して多数のキャパシターセルを形作り、薄膜下部から一方の電極、上部から他方の電極を取り出す素子構造において、セルの回りに溝を形成し、上記溝を埋めないで保持した構造、上記溝と上記セルの上部に保護膜を付けた状態でも上記溝が充填されないで溝形状を保持した構造であることを特徴とする半導体装置。

【請求項2】請求項1の素子において、上記素子の表面をフィルムで覆い、上記素子の表面凹凸の凹部である溝に隙間空間が設けた状態とし、ワイヤボンディングを行った後、樹脂を封止した半導体装置。

【請求項3】半導体素子、上記半導体素子にボンディングされるワイヤ、上記ワイヤに接続されたリード、およびこれらを封止する樹脂、あるいはケースから組み立てた半導体装置において、上記素子の表面と封止樹脂との間に弾性体を設け、上記素子の表面の凹凸の溝を確保したことを特徴とする半導体装置。

【請求項4】請求項3の上記弾性体は、樹脂からなりその厚さは上記素子の表面の凹部の深さより厚いこと、あるいは、球形、楕円形からなる弾性体樹脂ボールであり、ボールの大きさは素子表面の溝凹部の径と等しいか、径より大きい半導体装置。

【請求項5】請求項1において、上記素子の表面を剛性のアルプレートで覆い、上記素子の表面の凹凸の凹部である溝に隙間空間が設けた状態とし、ワイヤボンディングを行った後、樹脂を封止した半導体装置。

【請求項6】請求項1において、上記誘電体薄膜にヒステリシス特性を有する強誘電体材料を用いた半導体装置。

【請求項7】請求項6において、上記強誘電体材料がチタン酸ジルコン酸鉛である半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関する。

【0002】

【従来の技術】半導体素子ではSi、As基板に各種の拡散層を形成してトランジスタ、メモリセル、ゲート、配線、電極を作る。表面にはSiO₂膜、PIQ膜が付けられる。こうして作られた半導体素子は多層膜構造となっており、隣接するセルを相互に分離させるため切り込みがあり、その結果、素子表面は厚さ方向には凹凸形態を呈する。この凹部には酸化膜を付け平坦化を行って配線を形成している。また、PIQ膜を付けることにより凹部が埋められ表面は平らにされる。後工程ではリード付け、ワイヤボンディング、樹脂モールドしてパッケージに組み立てられるが、樹脂には石英を材料としたフィラーが混在される。このフィラーが素子表面下の拡散領域を押し付け、局所の応力を高め、欠陥を発生させる

危険性がある。この危険性を取り除くためSiO₂膜の厚膜化、フィラー形状の適正化などの対策が施されている。しかしながら、素子の高密度化、高速化が進められると応力に対して敏感となり欠陥が発生し易くなるという問題がある。

【0003】また、強誘電体メモリではメモリ機能材料として圧電体膜が使われる。この圧電体膜は電圧を印加してメモリ動作を行う。プラス、マイナスの電圧印加によって圧電体膜は伸び、縮む。セルが自由に变形できる状態でメモリの働きである残留分極を取り出すことができる。しかし、従来のメモリセル構造ではメモリ動作の電圧印加に対してセル周囲が拘束されているため、変形が自由にできずメモリ残留分極が十分に取り出せない。また、素子が樹脂モールドパッケージに組み込まれたとき、セルの伸び、縮み変形がメモリ素子を包むモールド樹脂によって加圧された状態で拘束されていると電圧印加しても変形が自由にできない。このためメモリ機能が十分に取り出せないという問題がある。

【0004】

【発明が解決しようとする課題】基板上に機能要素であるメモリセル、配線、電極が形成されて保護膜が付けられる。メモリセルの周囲酸化膜、樹脂膜等で囲まれ変形が拘束された状態となっている。一方、強誘電体メモリは電圧印加によって本質的にセルの伸び、縮み現象を伴う。この伸び、縮みを自由にさせることがメモリ動作を適切に行うには必要となる。伸び、縮みを円滑にさせることが課題となる。

【0005】素子は樹脂モールドによってレジンパッケージに組み立てられる。トランスモールドではモールドマシンから樹脂を加熱、加圧して金型内のキャビティに押し出しチップをモールドする。従って、封止され、固められた素子は圧縮された状態になっており、同時に素子表面に存在する充填粒子の先端がセル表面を局部的に圧縮、あるいは接触する危険性が大きい。また、素子が圧縮されているため強誘電体メモリ、例えば、PZT（チタン酸ジルコン酸鉛）ではメモリ動作を行う際の電圧印加に対して所定の変形ができず、ヒステリシス特性が悪化する。従って、樹脂モールドを行ってもセルを拘束せずに変形をさせ、メモリ動作を確保するのが課題である。

【0006】

【課題を解決するための手段】この発明に係る半導体装置は印加電圧したときメモリセルが拘束されずに変形できるようにセル周囲に溝を作って空間を設けた構造とすることによって解決する手段を取った。この場合の素子のパッケージングにおける溝の空間を保持する方法としてはフィルム、粒状体で覆う封止、剛体プレートを用いる手段を取った。

【0007】ウエハ上に形成するセルの周囲に溝を作ると、セルに電圧印加したとき溝空間があるため変形が拘

束されず面内、面外に自由に伸び、縮む。従って、電圧印加により分極を起こさせたとき、これに伴う変形が自由に行われるため残留分極が低下せず目的とする電圧-分極の十分なヒステリシス特性を得ることができ問題を解決する。

【0008】このセル周囲の空間は樹脂モールドの構造においても確保されるため実装された状態においても上述のヒステリシス特性が得られ問題が解決される。

【0009】

【発明の実施の形態】

(実施例1) 添付の図面を参照して本発明の説明をする。図1は強誘電体メモリ材料の一つであるPZT(チタン酸ジルコン酸鉛)を使ってセルで形成した本発明の一例を示す図である。シリコンウエハ上にトランジスタを形成する。トランジスタから引き出された配線はコンタクトホール1を通じて誘電体セルの下部電極3に接続させている。薄膜層2は金属電極の結合密着性を確保し、原子の拡散を防止するバリア金属層である。電極3に積層してPZT(チタン酸ジルコン酸鉛)薄膜層4を形成した。PZT層4の上に堆積して上部電極5を形成している。PZT、電極からなるメモリセルの側面には絶縁膜7を付けた。次いで上部電極5の配線接続をとるため導電用金属薄膜6を被せた。金属薄膜6は並列配列された多数のセルの電極に繋がっている。この構成では金属層6を介して各セルに配線されており電気的に同電位となっている。セルとセルの間には溝8の空間を形成した。金属薄膜6の上に保護膜としてPIQ膜を付ける場合もある。保護膜がある場合にも溝8の空間は確保した。

【0010】図2はウエハに形成されたメモリセル10と溝11の配列にフィルム9を接着する工程を示す。フィルムは厚さ3 μ mの接着剤付きのポリイミドフィルムである。100℃の高温域でフィルムを片面から押圧して張り付けた。フィルムの厚さと剛性を利用して溝とフィルムとの間に空間12を設けた。室温に下げたとき空間の空気圧は低下するのでわずかに撓んだ状態になる。フィルムの接着は低圧雰囲気中でフィルムを素子面に合わせ、片面からガス圧を用いて加圧させながら押圧して接着する方法で行ってもよい。フィルムが接着されたとき空間の空気圧をできるだけ下げようとするプロセスをとる。これはフィルム接着後にワイヤボンディングして樹脂モールドされて作成されたパッケージが回路基板にはんだ付けされるとき、200℃を越える高温に曝されてガス圧が上昇したときのフィルムの剥離や、樹脂の破損を起こす危険性を取り除くためである。

【0011】(実施例2) 図3は剛性のあるプレートを紹介させて溝の空間を形成した実施方法を示す。プレート15はエポキシ系樹脂からなる。プレートの厚さは0.2mmであり、セルと接着される側の面には接着剤16をコートしてある。接着剤の代わりに薄い粘着性のテ

ープを張ったプレートを用いる場合もある。接着剤は気密性を保持するが厚さが薄すぎると密着性がよすぎてセル上部と剛体接合されることになる。剛体接合されると温度変化、電圧印加によるセル稼働においてセルの変形が一部拘束される不具合が生ずる。そのため、セルとプレートとの間で変形を吸収、緩和させるため所定の厚さが必要である。密着性と変形の吸収の両者を取り込んだ最適な厚さを決め接着した。

【0012】プレート材料は樹脂系材料の他にアルミニウム、鉄系合金、銅などの金属材料を用いる場合もある。金属プレートを使用すると放熱性がよくなること、電気的には配線接続してグランドプレーンとすることによりノイズ低減、高速演算処理に対応できる。

【0013】溝を形成した素子を搭載したパッケージを図4に示す。素子16上の電極は素子中央の長手方向に2列に形成している。電極の領域を除いた部分にサイズが合致する樹脂プレート15を載せた。プレート15は素子上に中央の電極領域を挟んで2枚である。プレート15は接着剤が塗布されているので素子上に接着される。この接着はリード17の接合の際にリード17を加圧してもプレート15が位置ずれを起こさない程度の強度を必要とする。プレート15を接着した後、プレート15上に接着剤を印刷により塗布した。予めエッチングによって形成したリードフレームをプレート15に載せ、リード端を加圧してプレートとリードを接着した。リードは互いに電気的に絶縁されていることが必要であるためプレートが金属材料である場合には電気絶縁コーティングを施して使用する。リードを接合した後ワイヤ18をボンディングした。この状態で金型に挿入して樹脂19でモールドした。

【0014】次いでリードの他端をU字形に折り曲げた。この構造は素子上にリードが載せられたLOC(lead on chip)構造である。本提案の素子はLOC構造以外の構造にも容易に搭載可能である。また、プレートに代わって前記実施例で述べたフィルムを用いる場合にも同様に組み立てることができる。

【0015】(実施例3) 図5は柔らかい樹脂ボールを素子表面のセルと溝の配列上に敷いた実施例を示す。樹脂ボール13はポリアクリル酸ブチル、あるいはシリコンの材料で作られている。樹脂ボール13の径は溝の開口よりも大きいものを使用した。薄接着剤を塗布した素子表面にボールを付けた。ボールを高さ方向に数個以上積層させたシート状のものを形成して張り付ける場合もある。ボールを付けた後、ワイヤボンディングを行い、トランスファモールドで樹脂封止した。

【0016】

【発明の効果】本発明の強誘電体の素子構造ではセル周囲に溝が形成されており、この溝は樹脂封止型にパッケージングされても溝周りの空間は確保される。このため、素子を動かせる電圧を印加しても誘電体の持つ特有

5

な挙動である伸び、縮みが拘束されない。これによって、分極が低下せず強誘電体のメモリ機能を最大限に取り出すことができ、同時に長期にわたる使用に耐えることができる。

【図面の簡単な説明】

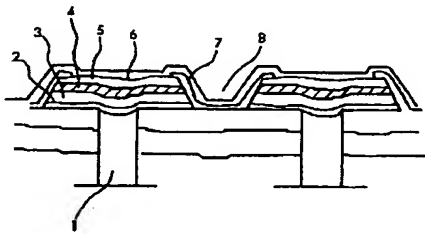
【図 1】 本発明の素子のセルの断面図。

【図 2】 本発明のフィルムとセルの構成による実施例の説明図。

【図 3】 本発明を実現する第二の実施例の説明図。

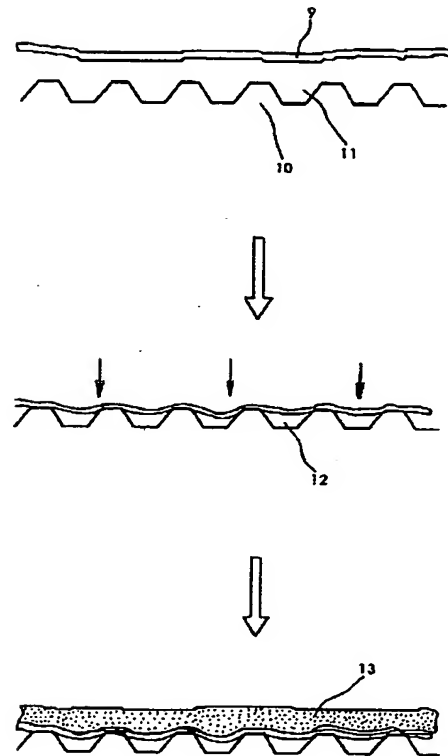
【図 1】

図 1



【図 2】

図 2



【図 4】 本発明を実現する樹脂封止装置の説明図。

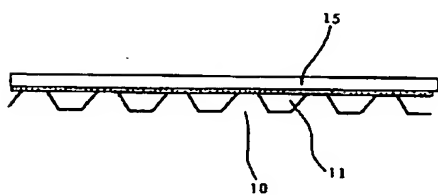
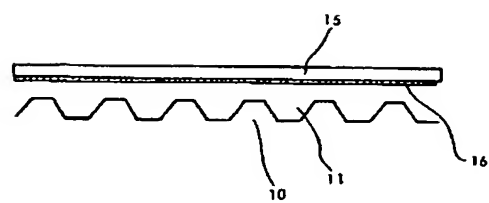
【図 5】 本発明を実現する第三の実施例の説明図。

【符号の説明】

1…コンタクトホール、2…薄膜層、3…電極、4…PZT層、5…上部電極、6…メタル、7…絶縁膜、8、11…溝、9…フィルム、10…メモリセル、12…空間、13、19…樹脂、14…ボール、15…プレート、16…接着剤、17…リード、18…ワイヤ。

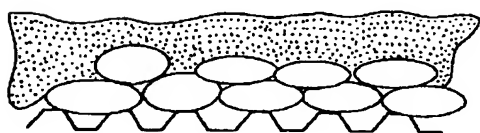
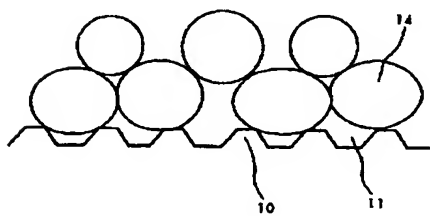
【図 3】

図 3



【図 5】

図 5



【図 4】

図 4

